

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑤Int. Cl.⁴
H 03 K 21/00

識別記号 庁内整理番号
6749-5J

④公開 昭和62年(1987)6月30日

審査請求 未請求 発明の数 1 (全3頁)

④発明の名称 分周回路試験方法

⑥特 願 昭60-288835

⑥出 願 昭60(1985)12月20日

⑦発 明 者 河 西 萬 智 朗 東京都港区芝5丁目33番1号 日本電気株式会社内

⑧出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑨代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

分周回路試験方法

2. 特許請求の範囲

被分周の入力信号が印加される第1の分周回路

と、制御信号により、前記入力信号と前記第1の分周回路の出力信号とのうちどちらかを選択して

出力する切換回路の出力信号を入力とする第2の

分周回路とを試験する分周回路試験方法において、

前記第1、第2の分周回路の試験中、前記制御信号

を少なくとも2回遷移させ、前記切換回路を切り

換えることを特徴とする分周回路試験方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は分周回路試験方法に係り、特にLSI化した分周回路の試験方法に関する。

〔従来の技術〕

分周回路をLSI化して試験する場合、分周比が増すに従って、試験時間や試験用プログラム等が増加する。例えば、10ビットの分周回路であれば、約千パターンのプログラムが必要であり、20ビットあれば約百万パターンが必要となる。

このため従来のこの種の試験回路は、第2図の様な回路構成をしていた。同図において、被分周

の入力信号1-1が入力されるn分周の分周回路1と、入力信号1-1と分周回路1の出力信号1-3と

が入力される切換回路2-0と、切換回路2-0の出

力信号1-6が入力されるn分周の分周回路2とが

示されている。ここで、切換回路2-0は、二つの

AND回路3、4と、OR回路5と、インバータ

6とから構成され、制御信号1-0により、入力信

号1-1と分周回路1の出力信号1-3とのうちどち

らかを選択して出力信号1-6とする機能を有する。

出力として、出力信号1-3と、n分周の分周回路

2の出力信号1-7とがある。

この分周回路1、2を試験する際には、テスト

信号1-0を“H”に固定し、クロック信号1-1を

を通過して、信号16として分周回路2に入力し、 $m \times n$ 分周の分周回路を、 m 又は n のどちらか大きい方の分周回路の試験条件と同じ条件により試験できる。

しかし、テスト信号を“H”に固定して試験するため、論理AND回路4及びインバータ6の動作が確認できず、不良品混入の可能性が残るとともに、出力信号13用の端子を余分に必要とする等の欠点があった。

〔発明が解決しようとする問題点〕

本発明の目的は、前記欠点が解決され、試験のためだけに使用する出力端子を省き、不良品混入の可能性を低減するようにした分周回路試験方法を提供することにある。

〔問題点を解決するための手段〕

本発明の構成は、被分周の入力信号が印加される第1の分周回路と、制御信号により、前記入力信号と前記第1の分周回路の出力信号とのうちどちらかを選択して出力する切換回路の出力信号を

n は自然数で、 $m \leq n$ の関係にある。

まず、テスト用制御信号10を“H”に保ち、クロック入力信号11を分周回路1とAND回路3とに入力する。制御信号10が“H”であるので、入力信号11は切換回路20を通り、出力信号16となって、分周回路2に入力する。

このため、第1図(b)に示す区間Aにおいては、分周回路1及び2は同一のクロックにより、同一タイミングで分周動作を行う。

次に、分周が $(m-2)$ まで進んだ所で入力信号11を“L”と設定すると、分周回路1の出力信号13が切換回路20を通り、出力信号16となって、分周回路2に入力する。このため、第1図(b)に示す区間Bにおいては、出力信号16は1クロック分遅れた波形となり、分周回路2では、このため1クロック分遅れることになる。

次に、分周が m を数えた時に、入力信号11を“H”にもどすと、クロックの入力信号11が出力信号16となり、分周回路2に入力する。そこで、制御信号10を常に“H”に保てれば

試験方法において、前記第1、第2の分周回路の試験中、前記制御信号を少なくとも2回遷移させ、前記切換回路を切り換えることを特徴とする。

〔実施例〕

次に本発明について図面を参照して詳細に説明する。

第1図(a)は本発明の一実施例の分周回路試験方法を示すブロック図、第1図(b)は第1図(a)の回路の各部のタイムチャートである。

これらにおいて、被分周の入力信号11が入力される m 分周の分周回路1と、前記入力信号11または分周回路1の出力信号13が出力信号16として出力される切換回路20と、この切換回路20の出力信号16を入力とする n 分周の分周回路2とが示されている。切換回路20は、二つのAND回路3、4と、インバータ6と、OR回路5とからなり、制御信号10により、前記2信号の切換えが行われる。ここで、全体の出力としては、分周回路2の出力信号17のみである。また、 m 、

立ち下がり17aのタイミングで波形の遷移が行なわれるはずであるが、以上説明した方法によると、立ち下がり17a'のタイミング、即ち1クロック分だけ遅れた波形で、波形の遷移が行われる。

ここで、分周回路1の動作が不良であれば、出力信号13の波形はタイムチャートどおり出ず、出力信号17のタイミングもずれることになる。

これにより、出力信号16を観測することなく、分周回路1の観測が行える。

また、制御信号10を切換えて試験するため、切換回路20の各回路の確認も行える。

尚本実施例では、分周回路を2つ、切換回路を1つの場合について説明しているが、分周回路及び切換回路が増加しても同様の効果を待たれるのは明かである。

〔発明の効果〕

以上説明したように、本発明によれば、前段の分周回路の出力が遷移する前後の数クロック分だけ、テスト信号を反転することにより、余分な出力信号用テスト端子なしに、また切換回路の動作

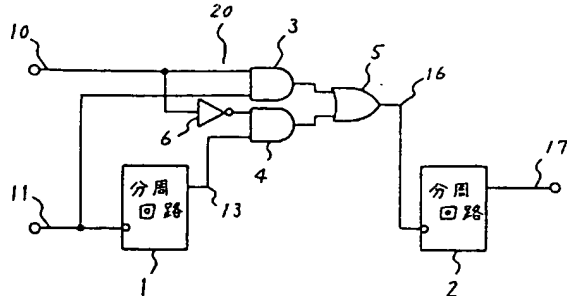
られる。

4. 図面の簡単な説明

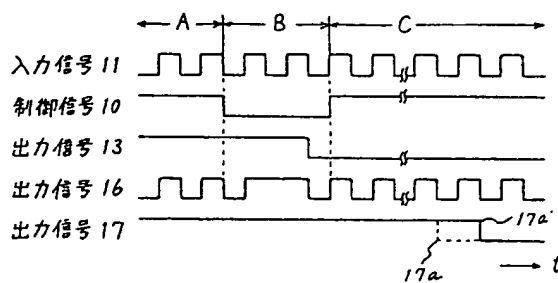
第1図(a)は本発明の一実施例の分周回路試験方法を示すブロック図、第1図(b)は第1図(a)の回路の動作を示すタイムチャート、第2図は従来の分周回路試験方法を示すブロック図である。

1, 2……分周回路、3, 4……AND回路、
5……OR回路、6……インバータ、10……テ
スト用制御信号、11……クロック入力信号、13、
17……分周回路出力信号、20……切換回路。

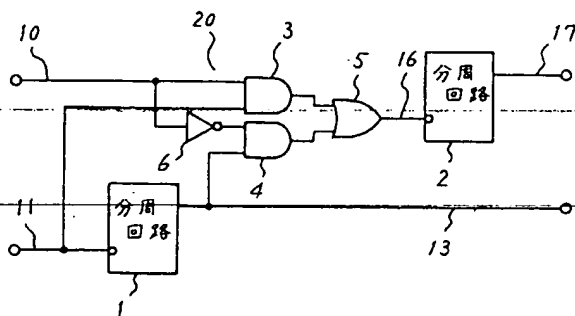
代理人 弁理士 内 原 普



第1図(a)



第1図(b)



第2図